

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-296355

(43)Date of publication of application : 29.10.1999

(51)Int.Cl.

G06F 9/06
G06F 9/445

(21)Application number : 11-049589

(71)Applicant : HEWLETT PACKARD CO <HP>

(22)Date of filing : 26.02.1999

(72)Inventor : HILL GREGORY
PURCELL RAYMOND A
PLATZ CHARLES D
ATKINS GLEN
ATCHISON LEE

(30)Priority

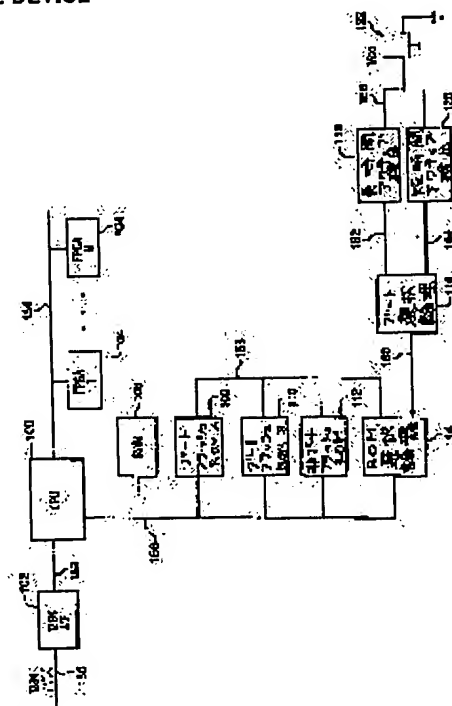
Priority number : 98 32687 Priority date : 28.02.1998 Priority country : US

(54) UTILIZATION OF PROGRAMMABLE INFORMATION IN DUAL BOOTABLE DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a method for updating multiplex boot memory device, and a method for selecting a valid boot memory device between the multiplex boot memory devices.

SOLUTION: A reset switch 122 is connected to detection circuits 118 and 120 for identifying a long time active state and short time active state of a reset switch, and a selection circuit 116 related with the detection circuit selects a main boot memory device 108 or an auxiliary boot memory device 110 for being used by a programmable device in response to the long time active state or short time active state detected by the detecting circuits.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(51) Int.Cl.⁹G 0 6 F 9/06
9/445

識別記号

4 1 0

F I

G 0 6 F 9/06

4 1 0 T

4 2 0 S

審査請求 未請求 請求項の数 1 O L (全 12 頁)

(21) 出願番号 特願平11-49589

(22) 出願日 平成11年(1999) 2月26日

(31) 優先権主張番号 0 3 2, 6 8 7

(32) 優先日 1998年 2月28日

(33) 優先権主張国 米国 (US)

(71) 出願人 398038580

ヒューレット・パカード・カンパニー

HEWLETT-PACKARD COM
PANYアメリカ合衆国カリフォルニア州パロアル
ト ハノーバー・ストリート 3000

(72) 発明者 グレゴリー・ヒル

アメリカ合衆国コロラド州 ラブランド
ウインディ・ギャップ・ロード1506

(72) 発明者 レイモンド・エイ・バーセル

アメリカ合衆国コロラド州 フォート・コ
リンズ リバー・オーク・ドライブ1514

(74) 代理人 弁理士 上野 英夫

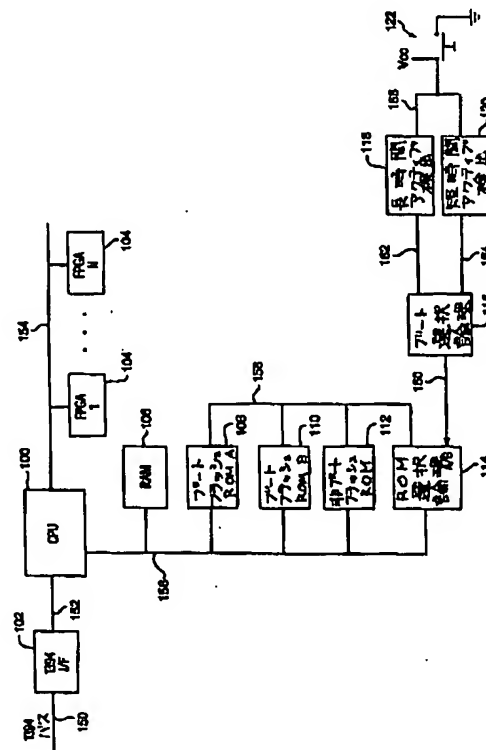
最終頁に続く

(54) 【発明の名称】 デュアルブート可能デバイスにおけるプログラム可能情報の利用方法

(57) 【要約】

【課題】 本発明を用いると、多重ブートメモリデバイス、該多重ブートメモリデバイスを更新する方法および該多重ブートメモリデバイス間で選択する方法を提供する。

【解決手段】 リセットスイッチ122は、リセットスイッチの長時間アクティブ状態とその短時間アクティブ状態を区別する検出回路(118、120)に接続され、この検出回路に関連する選択回路116は、検出回路が検出した長時間アクティブ状態または短時間アクティブ状態に応答して、プログラム可能デバイスによる使用のために主ブートメモリデバイス108または補助ブートメモリデバイス110を選択する。



【特許請求の範囲】

【請求項 1】デュアルブート可能なプログラム可能デバイスにおいてプログラム可能な情報を利用する方法であって、前記方法は、更新されたブート情報を取り付けられたホストから主ブートメモリデバイスにダウンロードするステップと、前記更新されたブート情報を前記主ブートメモリデバイスにダウンロードするステップが首尾よく完了したことに応答して、更新されたブート情報を前記ホストから補助ブートメモリデバイスにダウンロードするステップと、を含むことを特徴とする方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、プログラム可能デバイスにおけるプログラム更新に関し、特に、デュアルブートプログラム可能デバイスにおいてプログラム更新を実行し、前述のデュアルブート可能なデバイスすなわち装置を使用する方法および関連装置に関する。

【0002】

【従来技術】プログラム可能デバイスにおける初期ローディングのために更新可能なブート命令シーケンスを提供することは、当該技術において一般的に知られている。本明細書中で用いる「プログラム可能デバイス」には、プロセッサ（処理装置）、フィールドプログラム可能論理デバイス、その他のプログラム可能な電子機器が含まれる。プロセッサは、関連するメモリ（またはプロセッサに関連するキャッシュメモリの内部）に格納されたプログラムされている命令を実行するコンピューティングデバイスあるいは計算装置である。プロセッサは、所望のアプリケーションについてその動作を初期化するためにブート命令シーケンスをメモリデバイスから取り出しすなわちフェッチして、実行する。フィールドプログラム可能論理デバイス（F P L D : field programmable logic device）は、ブール論理電子回路のアレイを（通常、単一集積回路内に）含むデバイスである。各種論理回路間の相互接続は、関連メモリデバイスから F P L D 内にロードされるプログラムされたシーケンス（例えば、ブート命令シーケンス）によって規定あるいは定義される。さらに、本明細書中で用いる「ブート命令シーケンス」は、ブート命令シーケンスに関連するプログラム可能デバイスによってロードされ、また取り出されるいずれのプログラムされた情報も広義に含むものとする。

【0003】通常、前述のブート命令シーケンスは、このプログラム可能デバイスに関連するメモリに格納される。例えば、典型的なパーソナルコンピューティングシステムでは、メモリデバイス（例えば、ROM B I O S チップ）は、パーソナルコンピュータの中央処理装置（C P U）によって実行されるべき初期命令を格納する。このようなパーソナルコンピュータをリセットした

り、最初に電源を投入すると、中央処理装置は、ROMメモリデバイスからブート命令を直接取り出しあるいはフェッチする。あるいは、例えば、ある特定のアプリケーションでは、F P L D が、そのコンフィギュレーションすなわち構成内容を関連メモリデバイスから初期ロードする。初期コンフィギュレーションは、その所期のアプリケーションにおいて F P L D によって実行されるべきブール論理関数を規定あるいは定義する。

【0004】ブート命令シーケンスを含むメモリデバイスは、これに含まれる命令（論理関数）が更新された命令によって再プログラミングできるという意味から、しばしば更新可能である。例えば、典型的なパーソナルコンピュータでは、中央処理装置において動作する命令によって電子的に消去されて再プログラムされ得るフラッシュメモリデバイスにブート命令を格納することがよくある。あるいは、例えば、フィールドプログラム可能論理デバイスは、リセット時に、フィールドプログラム可能論理デバイスに関連するこのようなフラッシュまたはプログラム可能メモリデバイスに格納された情報によって初期プログラムされるか、または関連プロセッサにおいて動作する命令によって更新される。

【0005】このようなブート情報（プログラム命令、プログラムされた論理等）を含むメモリデバイスは、通常、まずメモリデバイスの内容を消去し、次いで更新されたブート情報によってメモリデバイスをプログラムすることによって更新される。従って、更新シーケンスが何らかの事情で失敗すると問題が生じる可能性がある。このような不具合が生じたメモリデバイスは、使用不能な状態で放置される場合がある。例えば、メモリデバイスの消去は完了したかも知れないが、再プログラミングが失敗したかも知れない、あるいは再プログラミングが部分的に失敗してしまったかも知れない。もしブートメモリデバイスがそのような使用できない状態で放置されたら、このような使用不能状態でブートメモリデバイスが放置されると、アプリケーション全体がシャットダウンあるいは強制終了され得る（例えば、コンピュータが動かなくなるかも知れないし、または F P L D を組み込んだ回路が動作しなくなるかも知れない）。

【0006】上記の記載に鑑みて、プログラム可能な電子デバイス（装置）に関連するブートメモリデバイスを使用および更新する改良された方法および関連装置の必要性があることは明らかである。

【0007】

【発明が解決しようとする課題】本発明は、多重ブートメモリデバイス、該多重ブートメモリデバイスを更新する方法および該多重ブートメモリデバイス間で選択する方法を提供することによって、上記および他の課題を解決するものであり、これによって有益な先端技術を進展させる。

【0008】

【課題を解決するための手段】本発明は、好ましくは2個のメモリデバイスを利用して、デュアル（二重）ブートメモリデバイスを規定するものであるが、プログラム可能デバイスとともに使用される任意の複数のブートメモリデバイスに適用してもよい。

【0009】特に、本発明は、それぞれが、関連プログラム可能デバイス（例えば、プロセッサまたはFPLD）によって用いられるブート命令を含む主ブートメモリデバイスあるいは第1のブートメモリデバイス、および補助ブートメモリデバイスあるいは第2のブートメモリデバイスを提供する。上述のように、ブート情報は、中央処理装置によって用いられるプログラム命令またはFPLDによって用いられるプログラムされた論理であってもよく、あるいはプログラム可能デバイスによって読み取られ、取り出され、またはこれによってロードされるか、これにロードされるその他あらゆるプログラムされた情報であってもよい。

【0010】本発明の方法および関連装置によって、主ブートメモリデバイスまたは補助ブートメモリデバイスの一方が、この関連プログラム可能デバイスによる初期使用のために選択可能である。特に、本発明は、リセットスイッチを提供し、これが、リセットスイッチの長時間アクティブ状態とその短時間アクティブ状態を区別する検出回路に接続されている。この検出回路に関連する選択回路は、検出回路が検出した長時間アクティブ状態または短時間アクティブ状態にตอบสนองして、プログラム可能デバイスによる使用のために主ブートメモリデバイスまたは補助ブートメモリデバイスを選択する。

【0011】本発明のリセット送出機能によって選択されたブートメモリデバイスは、本明細書ではアクティブ状態のメモリ（または現在アクティブ状態のメモリ）というが、選択されないメモリは非アクティブ状態のメモリ（または現在非アクティブ状態のメモリ）という。従って、主ブートメモリデバイスまたは補助ブートメモリデバイスの一方は、本発明の検出および選択機能の動作によって現在アクティブ状態のメモリとみなされる。言い換えれば、現在アクティブ状態のメモリは、プログラム可能デバイスをブートするために使用されるメモリである。

【0012】本発明の別の方法および装置は、2個のブートメモリデバイスを連続的にのみ、すなわち同時にではなくシーケンシャルにのみ更新可能にすることによって、本システムまたはプログラム可能デバイスの動作を不能にする機会を軽減する助けとなる。補助ブートメモリデバイスの更新が許される前に、主ブートメモリデバイスの更新が成功裡に完了しなければならない（およびこの逆もある）。

【0013】本発明の方法および装置を組み合わせることによって、システムまたはデバイスは、2個（あるいはそれ以上）のブートメモリデバイスの一つから、この

ブートメモリデバイスの更新の現在の状態にかかわらず確実に「ブート」できる。この2個のブートメモリデバイスの少なくとも1個は、確実に、更新手順中のいつの時でも、有効かつ使用可能となる。さらに、リセットスイッチとともに動作可能な検出および選択回路ならびにその方法によって、本システムまたは装置の初期動作について既知の有効なブートメモリデバイスを選択することができる。

【0014】本発明の上記およびその他の特徴、態様および利点は、後述する説明および添付図面から明らかになるであろう。

【0015】

【発明の実施の形態】本発明は、様々な変形および別様の形態が可能であり、その具体的な実施形態は、図面で例示され、本明細書において詳細を説明する。しかしながら、開示された特定の形態に本発明を限定するものではなく、むしろ逆に、本発明は、添付する請求の範囲によって規定されるように、本発明の精神および範囲に属するあらゆる変形、均等物および代替物を含むものである。

【0016】図1は、本発明の方法および装置が有利に適用しうる典型的なシステムを示すブロック図である。CPU100は、図1において示されるシステムの動作全体を制御する。CPU100は、ROM選択論理114によって生成され、バス158を介してROMメモリデバイス108ないし112に施される制御に従って、バス156を介してROMメモリ108、110または112から命令およびデータを取り出す。また、CPU100は、RAMメモリ106内のデータおよび/またはプログラム命令も操作する。メモリ106ないし112およびROM選択論理114は、CPU100によりバス156を介してアクセスされる。

【0017】CPU100は、1394インタフェース102およびバス152を経てIEEE1394バス150を介し、外部デバイスに接続されている。当該システムではフィールドプログラム可能ゲートアレイ（FPGA）104は、その動作をカスタマイズするのに使用される。FPGA104は、バス154を介してCPU100と接続して示されている。このFPGA104が、図1に例示したシステムが要求する特に有益なアプリケーションに特定される機能のいずれをも実行するように適応されることは、当業者には容易に理解されよう。IEEE1394バス150を介してCPU100に接続される外部デバイスは、ブートフラッシュROM A108、またはブートフラッシュROM B110に格納されるプログラム命令（ブート情報）をより最新のブート情報で更新することを要求できる。上記で記載したように、ブート情報は、CPU100によって取り出され実行される命令および/またはFPGA104を構成および動作するために用いられるプログラミング情

報を含んでもよい。

【0018】外部デバイスによるROMメモリ108または110内のブート情報を更新する要求には、ブートROMメモリ108または110に再プログラムされる新規ブート情報が伴う。CPU100は、以下に説明する本発明の方法に従って、外部デバイスによってIEEE1394バス150を介して供給される更新ブート情報を受信し、この更新ブート情報をブートROMメモリ108および110へプログラムする。

【0019】ROM選択論理114は、CPU100によって供給されるアドレス値に応じて各種ROMメモリ108ないし112、およびブート選択論理回路116によって生成され、バス160に供給される選択信号を、可能および不能にする。ブート選択論理回路116は、ブートROMメモリA108またはブートROMメモリB110が、これに供給される入力に応じてバス162および164において選択されるべきかどうかを判断する。長時間アクティブ状態検出回路118および短時間アクティブ状態検出回路120によって生成された信号は、バス162および164にそれぞれ供給される。長時間アクティブ状態検出回路118および短時間アクティブ状態検出回路120は、いずれもリセットスイッチ122によって生成された信号を受信する。スイッチ122によって生成されたりセット信号（適切なプルアップおよび／またはプルダウン抵抗と接続される）を本発明のインタフェースにおける他の回路に供給することは、当業者には理解されよう。図1に示されるように、本発明の検出および選択回路に関連するリセット信号の態様あるいは局面のみが示されている。検出回路118および120は、リセットスイッチ122のアクティブ状態時間に基づいて、このスイッチの長時間アクティブ状態を検出するか、または前記スイッチの短時間アクティブ状態を検出するかを判断する。リセットスイッチ122の短時間アクティブ状態を検出回路120が検出した場合、これを示す信号をバス164に供給する。同様に、検出回路118が検出した長時間スイッチアクティブ状態は、バス162において信号を生成する。バス162および164に供給された信号によって、ブート選択論理回路116が、適切な信号を生成し、これをバス160を介してROM選択論理114に与える。ROM選択論理114は、バス158に適切な信号を順次供給して、ブートROMメモリ108および110の一方のブート情報にアクセスするCPU100にとって適切なメモリデバイスを選択する。CPU100は、次に、デュアルブートフラッシュROM108および110のうちの選択された一方から必要なブート情報にバス156を介してアクセスする。ブート情報に関連のない他の情報は、非ブートフラッシュROM112に格納され、必要に応じてCPU100がバス156を介してこれにアクセスする。

【0020】図1に示すように、本発明の方法および装置の適用が、本発明の好適な一実施形態を例示したにすぎないことは、当業者には容易に理解されよう。以下に詳細を説明するように、本発明の方法および装置を有利に適用できる様々なシステムがあることは、当業者には容易に理解されよう。さらに、FPGA104が、ブートROMメモリ108および110に格納されるブート情報にも直接アクセスできる広範囲にわたる様々なフィールドプログラム可能論理デバイス（FPLD）を代表していることは、当業者には容易に理解されよう。上記FPLD内の論理および回路は、関連メモリデバイス（例えば、ブートROMメモリ108および110）に直接アクセスし、プログラムされている論理情報（本明細書において全般的に「ブート情報」と称する）をロードすることができる。従って、CPU100は、本発明の方法および装置のあらゆる適用における要件ではない。

【0021】上記記載のように、本発明の一態様あるいは一局面には、複数のブートメモリデバイスの中からリセットスイッチの特定のアクティブ状態タイプの検出に基づいて選択する回路および方法が含まれる。特に、図1に示すように、リセットスイッチ122は、アクティブ状態検出回路118および120に接続されている。アクティブ状態検出回路118および120は、通常、リセットスイッチ122が「短」時間または「長」時間にわたってアクティブ状態にされたかどうかを判断する。より詳細には、長時間アクティブ状態検出回路118は、リセットスイッチ122が予め決められた長い持続時間より長くアクティブ状態にされたと判断する。同様に短時間アクティブ状態検出回路120は、リセットスイッチ122が予め決められた短い持続時間より短くアクティブ状態にされたと判断する。上述のように、リセットスイッチ122の短時間アクティブ状態を認識する特定の回路は不要となりうる。言い換えれば、好適な実施形態では、リセットスイッチ122の短時間アクティブ状態は、予め決められた長い持続時間より短いリセットスイッチ122のアクティブ状態として検出されている。

【0022】ブート選択論理回路116は、長時間アクティブ状態検出回路118および短時間アクティブ状態検出回路120によって生成される信号に応じて、ブートフラッシュROM A108またはブートフラッシュROM B110を選択する信号を生成する。ブート選択論理116には、例えば、ブートフラッシュROM A108をリセットスイッチ122の長時間アクティブ状態または短時間アクティブ状態のいずれか一方（第1アクティブ状態タイプ）と、ブートフラッシュROM B110を長時間アクティブ状態または短時間アクティブ状態の他方または第2アクティブ状態タイプに関連づけるユーザ選択可能なオプションを含んでも良い。このよ

うなユーザのコンフィギュレーション選択（例えば、ジャンパの構成設定あるいはその他のユーザ選択手段）は、デュアルブートROMのうち一方を第1アクティブ状態タイプに、他方のデュアルブートROMを第2アクティブ状態タイプに関連づける柔軟性を可能にするものである。好適な実施形態を含む本発明の大部分の適用では、単純化のためにかかる柔軟性は要求されない。従って、ブート選択論理116は、リセットスイッチ122の短時間アクティブ状態をブートフラッシュROM A108からのブートに固定マッピングし、リセットスイッチ122の長時間アクティブ状態をブートフラッシュROM B110からのブートにマッピングする。

【0023】ブート選択論理回路116によって生成される選択信号は、アドレスデコードと関連する信号を順次生成するROM選択論理114、および所望のブートROMメモリデバイスを物理的に選択するのに必要なメモリチップ選択に適用される。上記記載のように、ROM選択論理114は、バス156上でCPU100によって生成されるアドレスにตอบสนองして、またブート選択論理回路116によって生成されるバス160上の信号にตอบสนองして、チップ選択信号を各種ROMメモリデバイス108ないし112にバス158を介して供給する。

【0024】リセットアクティブ状態検出方法図3は、本発明のリセット検出回路およびブート選択回路の動作を説明するフローチャートである。図3において説明される方法は、ブート選択論理回路116ならびにアクティブ状態検出回路118および120において動作可能である。ブート選択論理回路116ならびにアクティブ状態検出回路118および120の機能が、好ましくは、汎用プログラム可能論理ではなく単純な電子回路を使用して実行されることは、当業者には容易に理解されよう。従って、図3に示される方法は、前述のブート選択およびリセット検出回路の動作を広義に説明するよう意図されている。

【0025】要素300は、まず、リセットスイッチ122の押下の初期検出にตอบสนองして動作可能である。要素300は、アクティブ状態検出回路118および120におけるタイマー（例えば、カウンタ回路）を始動させる。上述のように、長時間アクティブ状態のしきい値を超えないリセットスイッチ122のあらゆるアクティブ状態を検出することによって、リセットスイッチ122の短時間アクティブ状態の検出を簡易に実行できることは、当業者には理解されよう。従って、1個の検出回路（例えば、長時間アクティブ状態検出回路118）における1個のタイマー回路は、本発明の装置および方法の多くの用途（好適な実施形態を含む）に十分である。

【0026】要素302は、次いで動作可能で、ユーザによるリセットスイッチのアクティブ状態の終了を意味するリセットスイッチの押下解除を待機する。リセットスイッチの解除の検出にตอบสนองして、要素304は次いで

動作可能で、リセットスイッチの検出したアクティブ状態が、予め決められた長時間アクティブ状態のしきい値を超えていたかどうかを判断する（例えば、長時間アクティブ状態検出回路118において）。しきい値は、予め定められ、長時間アクティブ状態検出回路118に（例えば、ユーザコンフィギュレーションスイッチ、ジャンパ等によって）構成される。

【0027】好適な実施形態を単純化するために、1個の長時間アクティブ状態のしきい値が、予め定められ、長時間アクティブ状態検出回路118に「ハードワイヤド」される（すなわち電氣的に配線される）。さらに、好適な実施形態では、短時間アクティブ状態は、上述の長時間アクティブ状態でない場合として検出される。具体的には、いかなるリセットスイッチアクティブ状態も、アクティブ状態が予め決められた長い方の期間のしきい値を上回るまでは短時間アクティブ状態と考えられる。

【0028】少なくとも長時間アクティブ状態のしきい値の間リセットスイッチがアクティブ状態にされたことを検出する要素304にตอบสนองして、要素306は次いで動作可能で、例えば、情報を実行または取り出すブートフラッシュROM B110をCPU100（またはその他のプログラム可能デバイス）によって選択する（例えば、ブート選択論理回路116において）。長時間アクティブ状態のしきい値を下回るように、リセットスイッチがアクティブ状態にされたことを検出する要素304にตอบสนองして、要素308は次いで動作可能で、ブート情報を実行または取り出すブートフラッシュROM A108をCPU100（またはその他のプログラム可能デバイス）によって選択する（例えば、ブート選択論理回路116において）。いずれの場合にも、このようにして、図3に示される方法によって動作が完了する。

【0029】ブート情報更新方法図2は、本発明によるブートメモリデバイスによって信頼性のある更新を確実に実行できる本発明の方法の動作を説明するフローチャートである。図2に示される方法は、外部デバイスからの要求にตอบสนองして、本発明の装置および方法を組み込む当該システムにおいてブート情報を更新するよう動作可能である。図2に示される方法は、通常、本発明に従って動作可能なシステム内に組み込まれたCPUにおいて動作可能である。しかしながら、図2で説明される方法は、他のプログラム可能デバイスおよびFPLD等のロジックすなわち論理回路内で動作可能であるか、またはこれらによって制御できることは、当業者には容易に理解されよう。従って、図2に説明される更新手順を実行するためには汎用CPUは必要ではない。

【0030】図2の要素200は、まず、現在非アクティブ状態のブートメモリデバイスのコードの更新セクションを受信するよう動作可能である。更新されるコードセクションは、外部装置からIEEE1394インタフ

ュースを介して受信され、更新されるセクション全体が外部デバイスから正確に受信されることを確実に行うために RAM に一時的に格納される。

【0031】本明細書中で用いる現在アクティブ状態のブートメモリデバイスは、更新手順が現在機能している一方のデバイスを指す（すなわち、更新を実行する CPU は、現在、このデバイスから命令を取り出して実行している）。非アクティブ状態のブートメモリデバイスは、他方のデバイスであり、更新手順を実行するために現在使用されていない。本明細書において上述のように、主メモリデバイスか、または補助メモリデバイスの選択は、リセットスイッチの特定タイプのアクティブ状態を検出することによって部分的に判断される。

【0032】次に、要素 202 は、更新を要求する外部デバイスから受信したばかりのブート情報の新規セクションで、現在非アクティブ状態のブートメモリデバイスを更新するよう動作可能である。新たに受信したコードのセクションは、前述のメモリデバイスをプログラムする標準的な技術によって、現在非アクティブ状態のフラッシュ ROM にプログラムされる。更新されるコードのセクションがフラッシュ ROM デバイスの全体の内容であつてもよく、または更新を要求するブート情報に関連する単なる一部であつてもよいことは、当業者には理解されよう。かかる設計上の選択は当業者にはよく知られている。

【0033】次に、要素 204 は、現在非アクティブ状態のフラッシュ ROM の更新（プログラミング）が成功したかどうかを判断するよう動作可能である。様々な公知のエラー検査・訂正技術を用いて、非アクティブ状態のメモリデバイスの更新が正しく行われたことを確認できることが、当業者には理解されよう。例えば、好適な実施形態では、チェックサムすなわち検査合計値を用いて、フラッシュ ROM デバイスに書き込まれた情報が正しいことを判断できる。様々な同等のエラー検査技術を駆使して、現在アクティブ状態のフラッシュメモリを首尾よく更新したことを確認できることが、当業者には理解されよう。

【0034】更新手順が首尾よく完了したと要素 204 が判定すると、当該方法は、以下に説明するように要素 206 へ続く。更新手順が失敗したと判断されると、当該方法は、エラー状態のまま終了する。当該手順は、更新手順の開始（要素 200）に随時ジャンプあるいは飛び越しを行って更新手順を再試行できることに当業者は気づくであろう。外部デバイスと本発明の間のプロトコルは、かかる不具合な状態と再試行要求を表すことがある。

【0035】現在アクティブ状態のフラッシュメモリは、更新プロセスが現在非アクティブ状態のフラッシュメモリについて失敗したと要素 204 が判断した場合、変更されないことに気づかれよう。従って、現在非アク

ティブ状態のメモリが首尾よく更新されるまで、現在アクティブ状態のメモリの更新は阻止される。これによって、現在非アクティブ状態のフラッシュ ROM の更新に失敗しても、2 個のブートメモリデバイスのうち少なくとも 1 個（すなわち、現在アクティブ状態のブートメモリデバイス）を、使用可能かつ、整合あるいはエラーを起こさない状態で確実に保持する。

【0036】当該方法がエラー状態で終了すると、更新を要求する外部デバイスに通知され、これによって、更新手順が再試行される。さらに詳細には、本発明を具体化するプログラム可能デバイスを再始動するたびに、当該デバイスは、以前の更新手順がブートメモリデバイスが整合しない状態または使用不能な状態で放置されているかどうかを判断する。そうであれば、当該デバイスは、装着されている外部デバイスによって更新手順を開始することを要求する。デュアルブートメモリデバイスが整合しないと判断するためには、上述したように、チェックサムおよびバージョン／タイムスタンプ情報が潜在的なエラーまたは不整合性について計算され、比較される。エラーまたは不整合性がこのように検出されると、プログラム可能デバイスは、更新手順を外部デバイスによって開始するよう要求する。この手順は、本明細書中図 2 において示すように、両フラッシュブートメモリデバイスを更新して確実に整合性をとる。プログラム可能デバイスの再始動手順を本明細書において図 4 によって以下説明する。

【0037】要素 204 が、現在非アクティブ状態のフラッシュ ROM についての更新手順が成功したと判断すると、要素 206 は、次に、現在アクティブ状態のフラッシュ ROM の内容をプログラム可能デバイス（例えば、図 1 の RAM メモリ 106）の別のメモリにコピーするよう動作可能である。現在アクティブ状態のフラッシュ ROM の内容がコピーされると、前記手順がアクティブ状態のメモリにおけるプログラム命令を使用して動作を継続するが、アクティブ状態のメモリ内容が使用中に上書きされないようにこれを新規メモリ場所に再配置する。別のメモリ場所からの更新手順を継続することによって、現在アクティブ状態のフラッシュ ROM 内容を更新してこのプロセスを継続する。要素 208 は、次に、手順の実行を現在アクティブ状態のフラッシュ ROM 命令の新たにコピーされたバージョンへ「ジャンプ」する。これらのステップが、本発明のデュアルブートメモリから取り出された命令を実行するプロセッサに適用するように、本発明の更新手順に関連することは、当業者には理解されよう。更新手順をプログラム可能デバイスにおける専用論理回路に具体化する場合、現在アクティブ状態のブート情報の内容を別の場所にコピーするステップは不要になる。本発明の上述の実施形態では、ブート情報は、更新手順を実行する「プログラムされた命令」を含まず、むしろプログラム可能論理情報または他

の回路構成情報を含むことができる。従って、更新手順は、この手順の実行を一方のメモリから別のものに「切換」える必要がなくなる。

【0038】要素210は、次に、現在アクティブ状態のフラッシュROMの新たなコードのセクションを受信するよう動作可能である。上記のように、新たなコードのセクションをIEEE1394インタフェースを介して受信し、更新全体を正しく受信することを確実にするためにRAMにこれを一時的に格納する。デュアルブートメモリデバイスが、アクティブ状態のブートメモリデ

バイスを更新する新規ブート情報の受信を回避するように同一ブート情報を含みうることは、当業者には理解されよう。好適な実施形態では、本明細書において図2に示すように、ブートデバイスは、それぞれ（改訂レベルが互換性のあるものにおいてであるが）異なるコードを含んでもよい。例えば、主ブートメモリデバイスは、好ましくはプロセッサデバイスと一体化されており、十分に機能的な動作命令を含んでもよいが、外部メモリデバイスとしての補助ブートメモリデバイスは、アクセスが遅くなるため、更新されたブート情報を主ブートメモリデバイスへと復元可能な最小命令のみを含む。

【0039】要素212は、次に、現在アクティブ状態のフラッシュROMの内容を新たに受信したコードによって更新するよう動作可能である。特に、要素202に関して上述したように、前述のメモリデバイスをプログラムする公知の技術を用いて、新たに受信したブート情報を現在アクティブ状態のフラッシュROMにプログラムする。

【0040】要素214は、次に、要素204と同様に動作可能であり、更新プロセスがアクティブ状態のフラッシュROMについて成功したかどうかを判断する。このプロセスが成功した場合、当該方法は、成功した更新状態で終了し、当該デバイスの通常の動作にさらに進む。前記プロセスが失敗したと判断されると、更新手順を要求する外部デバイスにエラー状態が返される。上記のように、このエラー状態は、別の更新手順を外部デバイスによって開始するプログラム可能デバイスからの要求を含んでもよい。また、上記のように、チェックサムを計算することによって、または他の公知のエラー検出技術によって上記の不具合の判断が行われてもよい。

【0041】図2が、本発明の当該方法に従って動作可能な更新手順を単に例示したものであることは、当業者には容易に理解されよう。本発明の範囲において、同様の手順および方法を利用して、デュアルブートメモリデバイスを更新することができる。本発明の当該方法の主要な態様は、デュアルブートメモリデバイスの使用にあり、さらにブートメモリデバイスを連続してすなわちシーケンシャルに更新することにある。デュアルブート更新手順をシーケンシャルにさせる性質によって、2個のメモリデバイスのうち1個は、使用可能な、整合する、

さらに動作可能なブート情報を含むという点において、使用可能であることが確実に知られている。特に、現在アクティブ状態のメモリデバイスは、非アクティブ状態のメモリデバイスが首尾よく更新されたとの判断に回答して、更新手順によって更新される。本発明のブート選択および検出機能によって、ユーザは、更新手順が何らかの理由で失敗した場合に有効であることが知られている1個のブートメモリデバイスを選択できる。

【0042】図4は、本発明の方法を説明するフローチャートであり、これによって、プログラム可能デバイスは、選択されたブートメモリデバイス（アクティブ状態のフラッシュROM）が使用可能なブート情報を含むかどうかを開始時に判断し、さらに更新プロセスの必要性を判断する。図4に説明される方法では、本発明の方法を具体化するプログラム可能デバイスが、プログラムされた命令であって、プロセッサデバイスによって取り出され実行された命令として想定されている。同様の方法もまた、本明細書中の別の箇所に記載するように、特定の回路および論理において具体化できる。

【0043】要素400は、まず、現在アクティブ状態のフラッシュROMにおけるブート情報についてのチェックサムを計算するよう動作可能である。上述したように、現在アクティブ状態のフラッシュROMは、ユーザがリセットスイッチをアクティブ状態（上記に記載したようにリセットスイッチの非アクティブ状態）することによって選択された主メモリまたは補助メモリである。チェックサム（または他の同等のエラー検出技術）によって、現在アクティブ状態のフラッシュROMの内容が有効であるかどうか、およびこれをプログラム可能デバイスの動作に使用できるかどうかを判断する。要素402は、次に、計算されたチェックサムが現在アクティブ状態のフラッシュROMにおける有効内容を示すか、または無効内容を示すかを判断するよう動作可能である。チェックサムが有効アクティブメモリを示すと要素402が判断すると、処理は要素404に進む。

【0044】あるいは、要素402および404のチェックサムの計算および比較がアクティブ状態メモリにおける無効内容を示す場合、処理は、要素403に進み、アクティブ状態および非アクティブ状態のメモリデバイスの定義をスワップすなわち入替えし、要素400ヘルプバックしてプロセスを再び開始する。図4の方法は、現在はアクティブ状態のフラッシュROMとして使用される以前非アクティブ状態であったフラッシュROMによって繰り返す。要素402および404のチェックサムの計算および比較が示すように、明らかに無効な内容ゆえに、どちらのブートデバイスも動作できない場合、プログラム可能デバイスは、動作不能になる。このような状態は、当該デバイスが「ハードウェア」不良を生じることなく電氣的に動作可能である限り、当該デバイスのうちの少なくとも1個が動作可能なブート情報を

確実に保持する本発明の方法によって特に回避される。

【0045】要素402が、現在アクティブ状態のメモリがチェックサムの計算が示す有効ブート情報を含むと判断すると、要素404は、次に、現在非アクティブ状態のブートメモリデバイスに対応するチェックサム値を計算するよう動作可能である。要素400および402と同様に、要素404および406は、現在非アクティブ状態のブートメモリデバイスの内容の有効性を判断する。要素406が、現在非アクティブ状態のブートメモリデバイスが明らかに有効なブート情報を含むと判断すると、次に、要素408は、この2個のブートメモリデバイスがタイムスタンプ（または他のバージョン関連）情報に対して整合性があるかどうかを判断するよう動作可能である。両ブートメモリデバイスが、ブート情報のバージョンについて整合する場合、当該方法は、終了し、更新プロセスは不要になる。

【0046】現在非アクティブ状態のブートメモリデバイスが無効の場合、または2個のブートメモリデバイスが整合しないバージョンを含む場合、要素410は、装着された外部デバイスからIEEE1394インタフェースを介して更新プロセスを要求するよう動作可能である。このように当該方法は終了し、更新プロセスは、最終的に図2において上記に記載されたプロセスに従って外部デバイスによって開始される。

【0047】プログラム可能デバイスと外部デバイスとの間で用いられる通信プロトコルに関連する他の方法によって、外部デバイスは、デュアルブートメモリデバイスにロード中のブート情報の現行バージョンを判断する。これによって外部デバイスは、デュアルブートメモリの現行バージョンについて照会し、更新手順の要求を判断する。従って、それ自体がエラーまたは不整合性によって更新を要求すると判断するプログラム可能デバイスに加えて、外部デバイスもまた、外部デバイスにとって利用可能なブート情報の新規リリースに鑑みて更新が必要であると判断する。

【0048】図4が、本発明の方法に従って動作可能な再始動手順を単に例示したものであることは、当業者には理解されよう。本発明の範囲において、同様の手順および方法を利用して、デュアルブートメモリデバイスを有するプログラム可能デバイスを本発明に従って再始動することができる。本発明の方法の主要な態様は、無効なブート情報を阻止するとともに装着された外部デバイスから更新を要求することによって、デュアルブートメモリデバイスが整合する情報を確実に含むような処理にある。

【0049】本発明を図面および前述の説明においてこれまで詳細に図示し説明してきたが、これら図示および説明は、例示として考慮されるべきであって、性質において制限されるものではない。また、好適な実施形態およびその些末な変形例のみをこれまで示し、説明してき

たが、本発明の精神に含まれるあらゆる変更および変形の保護を望むことは理解されよう。

【0050】以上、本発明の実施例について詳述したが、以下、本発明の各実施態様の例を示す。

【0051】（実施態様1）デュアルブート可能なプログラム可能デバイスにおいてプログラム可能な情報を利用する方法であって、前記方法は、更新されたブート情報を取り付けられたホストから主ブートメモリデバイスにダウンロードするステップ（200・・・202）と、前記更新されたブート情報を前記主ブートメモリデバイスにダウンロードするステップが首尾よく完了したことに応答して、更新されたブート情報を前記ホストから補助ブートメモリデバイスにダウンロードするステップ（206・・・212）と、を含むことを特徴とする方法。

【0052】（実施態様2）前記主ブートメモリデバイスにダウンロードするステップの動作において不具合を検出するステップ（204、400・・・403）と、前記不具合の検出に応答して、前記補助ブートメモリデバイスへのダウンロードを回避するステップ（204、400・・・403）と、を含む、実施態様1に記載の方法。

【0053】（実施態様3）前記不具合を検出するステップに応答して、前記主ブートメモリデバイスと前記補助ブートメモリデバイスからブートメモリデバイスを選択するステップ（400・・・403）を含む、実施態様2に記載の方法。

【0054】（実施態様4）前記主ブートメモリデバイスおよび前記補助ブートメモリデバイスと関連づけられたリセットスイッチの短時間アクティブ状態を検出するステップ（300・・・308）と、前記リセットスイッチの長時間アクティブ状態を検出するステップ（300・・・308）と、を含む、実施態様3に記載の方法。

【0055】（実施態様5）前記選択ステップは、前記リセットスイッチの前記短時間アクティブ状態の前記検出に応答して、前記主ブートメモリデバイスを選択するステップ（308）と、前記リセットスイッチの前記長時間アクティブ状態の前記検出に応答して、前記補助ブートメモリデバイスを選択するステップ（306）と、を含む、実施態様4に記載の方法。

【0056】（実施態様6）主ブートメモリデバイス（108）と、補助ブートメモリデバイス（110）と、スイッチ（122）と、前記スイッチに接続され、前記スイッチの第1タイプのアクティブ状態を検出するよう動作可能であり（118）、前記スイッチの第2タイプのアクティブ状態を検出するよう動作可能である（120）センサと、前記センサ（118、120）ならびに前記主ブートメモリデバイス（108）および前記補助ブートメモリデバイス（110）と接続され、前記スイッチ（122）の前記第1タイプのアクティブ状

態（１１８）の検出にตอบสนองして選択されたブートメモリとして前記主ブートメモリデバイス（１０８）を選択するよう動作可能であり、前記スイッチ（１２２）の前記第２タイプのアクティブ状態（１２０）の検出にตอบสนองして選択されたブートメモリとして前記補助ブートメモリデバイス（１１０）を選択するよう動作可能である選択回路（１１４、１１６）と、を有することを特徴とするデュアルブート可能デバイス。

【００５７】（実施態様７）前記主ブートメモリデバイス（１０８）および前記補助ブートメモリ（１１０）ならびに前記選択回路（１１４、１１６）に接続されたプロセッサ（１００）であって、プログラムされた命令を前記選択されたブートメモリからロードするプロセッサ（１００）を有する、実施態様６に記載のデバイス。

【００５８】

【発明の効果】以上のように、本発明を用いると、多重ブートメモリデバイス、該多重ブートメモリデバイスを更新する方法および該多重ブートメモリデバイス間で選択する方法を提供することができ、これにより、プログラム可能な電子デバイス（装置）に関連するブートメモリデバイスを使用および更新する改良された方法および関連装置を提供する。

【００５９】また、本発明により、デュアルブートメモリデバイスを有するプログラム可能デバイスを本発明に従って再始動することができる。本発明の方法により、無効なブート情報を阻止するとともに装着された外部デバイスから更新を要求することによって、デュアルブートメモリデバイスが整合する情報を確実に含むことができる。

【図面の簡単な説明】

【図１】図１は、本発明のデュアルブートメモリ装置お

よび方法が有利に適用される代表的なシステムのブロック図である。

【図２】図２は、本発明のデュアルブートメモリにおいてブート情報を信頼できるように更新するように機能する本発明の方法の動作を説明するフローチャートである。

【図３】図３は、当該システムに関連するリセットスイッチのアクティブ状態タイプの検出に応じて、本発明のデュアルブートメモリデバイスのうちの１つを選択する本発明の方法の動作を説明するフローチャートである。

【図４】図４は、どのデュアルブートメモリが動作可能であるか、および更新手順を要求するかどうかを決定するためにプログラム可能デバイスの再始動時の本発明の方法の動作を説明するフローチャートである。

【符号の説明】

１００：ＣＰＵ

１０２：１３９４インタフェース

１０４：ＦＰＧＡ

１０６：ＲＡＭメモリ

１０８：ブートフラッシュＲＯＭ Ａ

１１０：ブートフラッシュＲＯＭ Ｂ

１１２：ＲＯＭメモリデバイス

１１４：ＲＯＭ選択論理

１１６：ブート選択論理回路

１１８：長時間アクティブ状態検出回路

１２０：短時間アクティブ状態検出回路

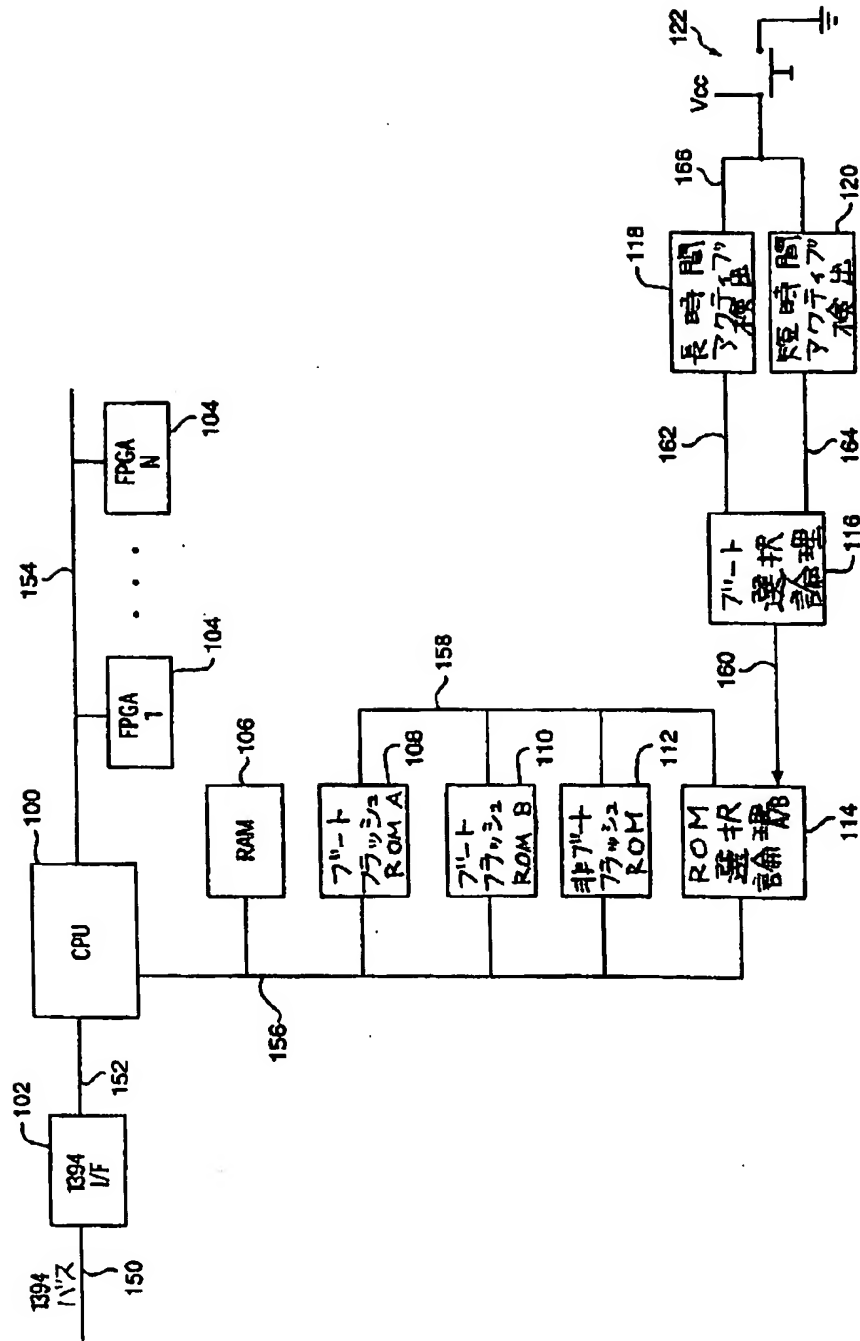
１２２：リセットスイッチ

１５０：１ＥＥＥ１３９４バス

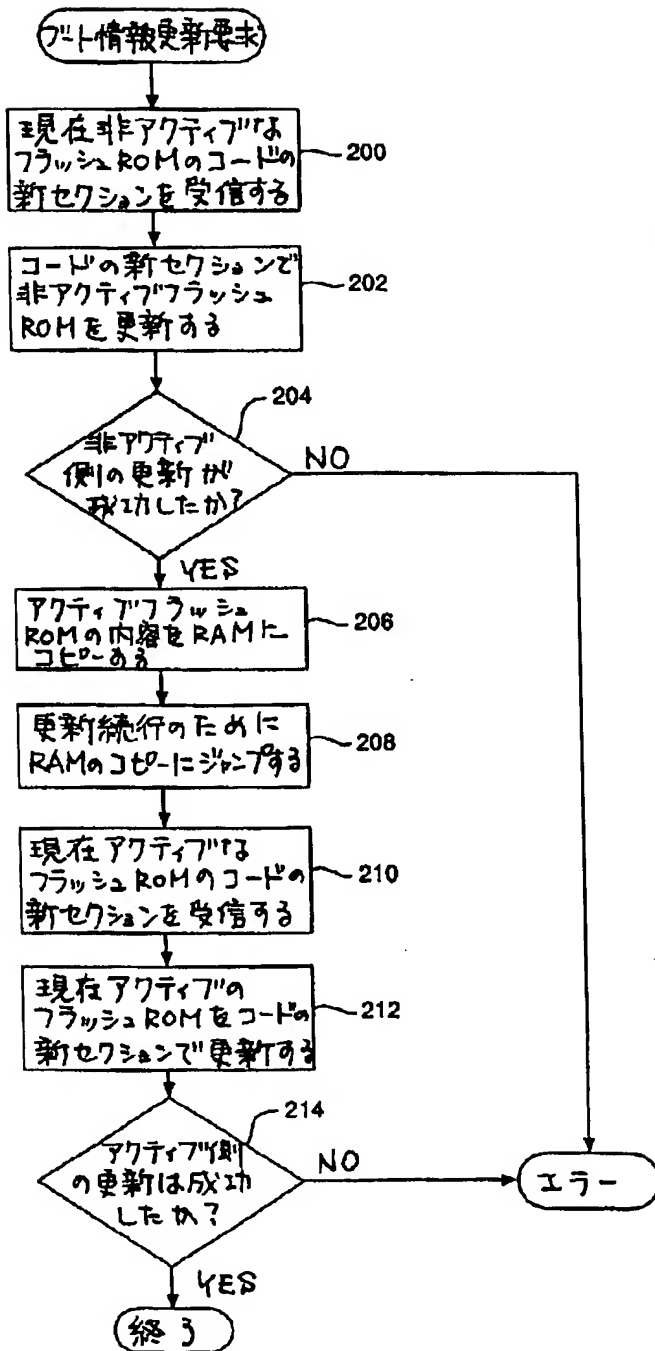
１５２、１５４、１５６、１５８、１６０、１６２、１

６４：バス

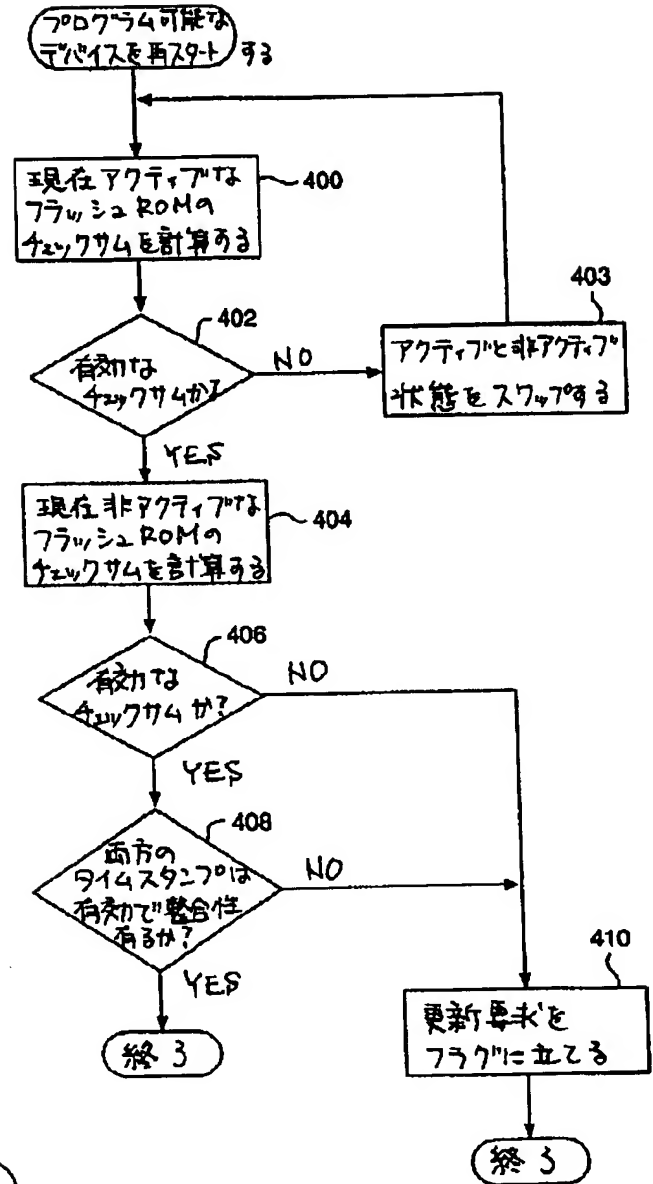
【図 1】



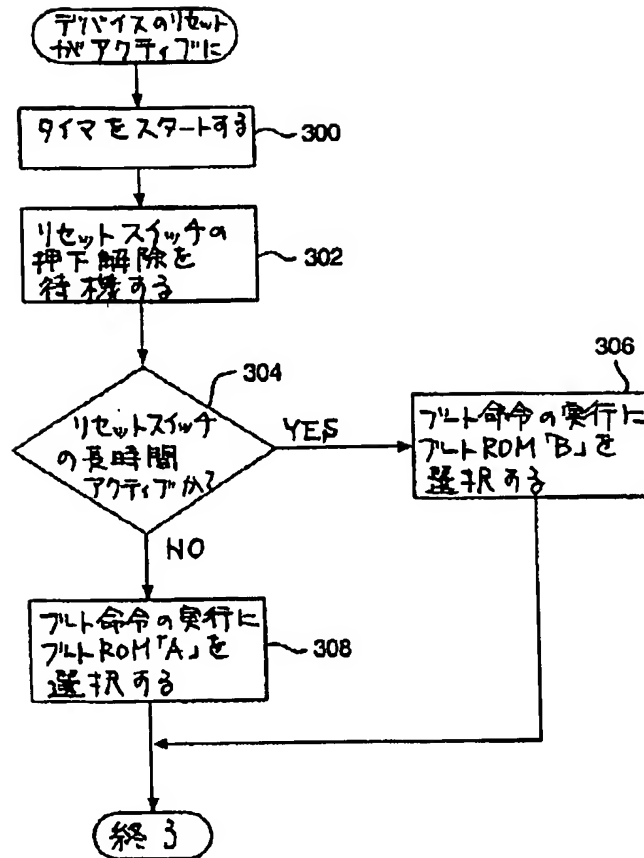
【図2】



【図4】



【図 3】



フロントページの続き

(72)発明者 チャールズ・ディ・プラズ
 アメリカ合衆国コロラド州 ラブランド
 ウエストリッジ・ドライブ1301

(72)発明者 グレン・アトキンス
 アメリカ合衆国コロラド州 ラブランド
 パインヒル・ドライブ4600

(72)発明者 リー・アチソン
 アメリカ合衆国コロラド州 フォート・コ
 リンズ レッド・マウンテン・ドライブ
 3118